

平成 29 年度 岐阜工業高等専門学校シラバス						
教科目名	デジタルシステム基礎	担当教員	福永哲也			
学年学科	1 年 先端融合開発専攻	前期	選択	2 単位(学修)		
学習・教育目標	(D-2 情報・論理系) 100%		JABEE 基準 1 (1) : (d)			
<b>授業の目標と期待される効果：</b> HDL を用いて組込み系デジタルシステムを設計するために必要な、HDL の基礎、HDL を用いた回路設計の基礎等を学習する。 基礎的な言語仕様等の学習だけでなく、開発環境を用いた HDL 学習を取り扱う。 ①デジタルシステムとは何かの理解 ②HDL の基本的構成の理解 ③HDL を用いた設計方法の理解 ④HDL を用いた組み合わせ回路設計の理解 ⑤HDL を用いた順序回路設計の理解 ⑥HDL を用いたシステム記述の理解		<b>成績評価の方法：</b> 総得点数 160 点 = 定期試験 100 点 + 課題 30 点 + 最終課題 30 点で総得点率 (%) によって成績評価を行なう。なお、成績評価に教室外学修の内容は含まれる。 <b>達成度評価の基準：</b> 提示資料を基にした説明問題・設計問題を試験等で出題し、6 割以上の正答のレベルまで達していること。 ①デジタルシステムの構成について、ほぼ正確に (6 割程度) 説明できる ②HDL の基本的構成について、ほぼ正確に (6 割程度) 説明できる ③HDL を用いた設計方法について、ほぼ正確に (6 割程度) 設計・説明できる ④HDL を用いて基本的な組み合わせ回路の設計が、ほぼ正確に (6 割程度) 設計・説明できる ⑤HDL を用いて基本的な順序回路の設計が、ほぼ正確に (6 割程度) 設計・説明できる ⑥HDL を用いて組み合わせ回路と順序回路からなる基本的なシステムの記述が、ほぼ正確に (6 割程度) できる				
<b>授業の進め方とアドバイス：</b> 授業では、提示資料をもとに、授業を進めるので、あらかじめ提示資料を見ておくとよい。また、各自が使用できる PC に HDL の設計環境を準備すると、授業をスムーズに進めることができ、その内容をよく理解できる。						
<b>教科書および参考書：</b> 提示資料をよく読んで、内容を理解すること						
授業の概要と予定：前期			教室外学修	A L のレベル		
第 1 回：HDL 概要			HDL の概要に関する演習			
第 2 回：開発環境準備と利用の基礎			各自の PC に開発環境を構築する			
第 3 回：verilog-HDL の基礎 (値の表現と代入)			値と代入に関する演習			
第 4 回：2 種類の代入 (ブロッキング代入とノンブロッキング代入)			ブロッキング代入とノンブロッキングに関する演習			
第 5 回：組み合わせ回路 1 (assign 文)			assign 文に関する演習			
第 6 回：組み合わせ回路 2 (複雑な組み合わせ回路)			演算子を使った回路に関する演習	C		
第 7 回：変数 (wire と reg) の宣言と init 文			更に複雑な回路に関する演習	C		
第 8 回：順序回路 1 (always 文とそでの文法)			always 文に関する演習			
第 9 回：2 種類の代入 (ブロッキング代入とノンブロッキング代入)			順序回路内での文法に関する演習	C		
第 10 回：階層設計			機能を実現する順序回路に関する演習	C		
第 11 回：シミュレーション 1			シミュレーションに関する演習			
第 12 回：シミュレーション 2 (演習)			シミュレーションに関する演習 2	C		
第 13 回：その他の文法 1			初期化に関する演習			
第 14 回：課題			パイプライン化に関する演習	C		
期末試験						
第 15 回：まとめ			全体に関する演習	C		

評価（ルーブリック）

達成度 評価項目	理想的な到達 レベルの目安 (優)	標準的な到達 レベルの目安 (良)	未到達 レベルの目安 (不可)
①	デジタルシステムの構成について、正確に（8割程度）説明できる	デジタルシステムの構成について、ほぼ正確に（6割程度）説明できる	デジタルシステムの構成について、正確に説明できない
②	HDLの基本的構成について、正確に（8割程度）説明できる	HDLの基本的構成について、ほぼ正確に（6割程度）説明できる	HDLの基本的構成について、正確に説明できない
③	HDLを用いた設計方法について、正確に（8割程度）設計・説明できる	HDLを用いた設計方法について、ほぼ正確に（6割程度）設計・説明できる	HDLを用いた設計方法について、正確に設計・説明できない
④	HDLを用いて基本的な組み合わせ回路の設計が、正確に（8割程度）設計・説明できる	HDLを用いて基本的な組み合わせ回路の設計が、ほぼ正確に（6割程度）設計・説明できる	HDLを用いて基本的な組み合わせ回路の設計が、正確に設計・説明できない
⑤	HDLを用いて基本的な順序回路の設計が、正確に（8割程度）設計・説明できる	HDLを用いて基本的な順序回路の設計が、ほぼ正確に（6割程度）設計・説明できる	HDLを用いて基本的な順序回路の設計が、正確に設計・説明できない
⑥	HDLを用いて組み合わせ回路と順序回路からなる基本的なシステムの記述が、正確に（8割程度）できる	HDLを用いて組み合わせ回路と順序回路からなる基本的なシステムの記述が、ほぼ正確に（6割程度）できる	HDLを用いて組み合わせ回路と順序回路からなる基本的なシステムの記述が、正確にできない