

平成 24 年度 岐阜工業高等専門学校シラバス					
教科目名	デジタルシステム基礎	担当教員	福永哲也		
学年学科	1 年次 電子システム工学専攻	前期	選択	2 単位	
学習・教育目標	(D-2 情報・論理系) 100%		JABEE 基準 1 (1):(d) 100%		
授業の目標と期待される効果： HDL を用いて組込み系デジタルシステムを設計するために必要な、HDL の基礎、HDL を用いた回路設計の基礎等を学習する。 基礎的な言語仕様等の学習だけでなく、開発環境を用いた HDL 学習を取り扱う。 ①デジタルシステムとは何かの理解 ②HDL の基本的構成の理解 ③HDL を用いた設計方法の理解 ④HDL を用いた組み合わせ回路設計の理解 ⑤HDL を用いた順序回路設計の理解 ⑥HDL を用いたシステム記述の理解		成績評価の方法： 総得点数 150 点＝定期試験（スキルチェック）100 点＋課題提出 50 点 総得点率（％）によって成績評価を行なう 達成度評価の基準： 提示資料を基にした説明問題・設計問題を試験等で出題し、6 割以上の正答のレベルまで達していること。 ①デジタルシステムの構成について、ほぼ正確に（6 割程度）説明できる ②HDL の基本的構成について、ほぼ正確に（6 割程度）説明できる ③HDL を用いた設計方法について、ほぼ正確に（6 割程度）設計・説明できる ④HDL を用いて基本的な組み合わせ回路の設計が、ほぼ正確に（6 割程度）設計・説明できる ⑤HDL を用いて基本的な順序回路の設計が、ほぼ正確に（6 割程度）設計・説明できる ⑥HDL を用いて組み合わせ回路と順序回路からなる基本的なシステムの記述が、ほぼ正確に（6 割程度）できる			
授業の進め方とアドバイス： この科目は、e ラーニングとして実施する。授業では、e ラーニングの提示資料をもとに、授業を進めるので、あらかじめ提示資料を見ておくとよい。また、各自が使用できる PC に HDL の設計環境を準備すると、授業をスムーズに進めることができ、その内容をよく理解できる。					
教科書および参考書： 提示資料をよく読んで、内容を理解すること					
授業の概要と予定：後期			教室外学修		
第 1 回：VHDL 概要			課題レポート作成		
第 2 回：開発環境準備と利用の基礎			課題レポート作成		
第 3 回：VHDL の基礎（VHDL の構造、信号、代入文）			課題レポート作成		
第 4 回：信号の扱い方			課題レポート作成		
第 5 回：プロセス文（組み合わせ回路）			課題レポート作成		
第 6 回：プロセス文（順序回路 1）			課題レポート作成		
第 7 回：階層設計			課題レポート作成		
第 8 回：プロセス文（順序回路 2）			課題レポート作成		
第 9 回：テスト・シミュレーション			課題レポート作成		
第 10 回：ステートマシン設計			課題レポート作成		
第 11 回：課題設計			課題レポート作成		
第 12 回：課題機能検証			課題レポート作成		
第 13 回：課題論理合成			課題レポート作成		
第 14 回：課題動作確認			課題レポート作成		
第 15 回：HDL の基本的利用法のまとめ			課題レポート作成		
期末試験			—		
第 16 回：フォローアップ（期末試験の解答の解説など）			—		