

平成 27 年度 岐阜工業高等専門学校シラバス				
教科目名	電子制御回路	担当教員	藤田 一彦	
学年学科	4年 電子制御工学科	前期	必修	1 単位 (学修)
学習・教育目標	(D-4) 100%	JABEE 基準 1 (1) : (d) (100%)		
授業の目標と期待される効果： ハードウェア記述言語 VHDL を用いた組合せ回路や順序回路等の論理回路設計法を理解する。授業では、回路設計環境として Altera 社の Quartus II Web Edition を使用し、設計した回路を各自が FPGA 学習ボード (EDA-002) に書き込んで動作確認をする。本授業では、座学と回路設計実習を行うことにより、VHDL による回路設計法を修得することができる。 授業では、具体的には以下の項目を目標とする。 <ol style="list-style-type: none"> ①ハードウェア記述言語 VHDL の理解 ②VHDL を用いた回路設計法や階層設計に関する理解 ③CPLD/FPGA の仕組みや使い方の理解 ④加算器、減算器、エンコーダ、デコーダ、マルチプレクサなどの組合せ回路の理解 ⑤フリップフロップ、シフトレジスタ、n 進カウンタなどの順序回路の理解 ⑥Altera 社の Quartus II Web Edition を利用した HDL による回路設計ができること 		成績評価の方法： 中間試験 100 点、期末試験 100 点、演習課題レポート 100 点の合計点 (300 点) の総得点率 (%) によって成績評価を行なう。 なお、成績評価に教室外学修の内容は含まれる。 達成度評価の基準： 教科書の練習問題と同レベルの問題を試験で出題し、6 割以上の正答レベルまで達していること。なお成績評価への重みは、①～⑤を各 20% とし、⑥については成績評価には考慮せず、授業時間中の演習およびレポート等で身につけていることを確認する。 <ol style="list-style-type: none"> ①ハードウェア記述言語 VHDL に関する問題をほぼ正確 (6 割以上) に解くことができる ② VHDL を用いた回路設計法や階層設計に関する問題をほぼ正確 (6 割以上) に解くことができる ③ CPLD/FPGA の仕組みや使い方に関する問題をほぼ正確 (6 割以上) に解くことができる ④加算器、減算器、エンコーダ、デコーダ、マルチプレクサなどの組合せ回路の設計に関する問題をほぼ正確 (6 割以上) に解くことができる ⑤フリップフロップ、シフトレジスタ、n 進カウンタなどの順序回路の設計に関する問題をほぼ正確 (6 割以上) に解くことができる ⑥Altera 社の Quartus II Web Edition を利用した HDL による回路設計ができる 		
授業の進め方とアドバイス： 授業では、パソコンと Altera 社の Quartus II Web Edition を使用して VHDL 記述、動作シミュレーション等を行って、実際に設計した回路を FPGA 学習ボード (EDA-002) に書き込み、その動作確認をする。回路設計演習を中心に行なうので、設計のためのデジタル回路の基礎をよく復習しておくこと。設計した回路は、レポートにして提出すること。				
教科書および参考書： 図解 VHDL 実習 (第 2 版) — ゼロからわかるハードウェア記述言語 — (堀 桂太郎著、森北出版、2011.2) (参考図書) 図解 デジタル回路入門 (中村次男著、日本理工出版会、2011.10)				
授業の概要と予定：前期		教室外学修	AL のレベル	
第 1 回：デジタル回路設計法の基礎		組合せ論理回路、順序論理回路の課題		
第 2 回：CPLD/FPGA の基礎		CPLD/FPGA についての調査		
第 3 回：ハードウェア記述言語 VHDL の基礎		回路図入力設計に関する演習		
第 4 回：開発ツール Altera 社 Quartus II Web Edition の操作実習		Quartus II Web Edition の操作実習 1		C
第 5 回：回路設計の流れ：VHDL の書き方		Quartus II Web Edition の操作実習 2		C
第 6 回：組合せ回路の設計 I：VHDL の文法の基礎		VHDL の書き方に関する演習		C
第 7 回：組合せ回路の設計 II：加算器と減算器、エンコーダなど		エンコーダ・デコーダ回路の設計演習		
第 8 回：中間試験				
第 9 回：組合せ回路の設計 III：マルチプレクサとデマルチプレクサ		マルチプレクサ回路の設計演習		
第 10 回：順序回路設計 I：フリップフロップの設計		フリップフロップ回路の設計演習		
第 11 回：順序回路設計 II：同期式 n 進カウンタの設計		カウンタ回路の設計演習		
第 12 回：階層設計の基礎：階層設計とは何か、10 秒カウンタの設計		階層設計、ステートマシンに関する演習		C
第 13 回：シミュレーションの基礎：テストベンチ、シミュレーション実習		シミュレーション実習		C
第 14 回：デジタル回路システムの設計演習 1		ストップウォッチの設計演習		C
第 15 回：デジタル回路システムの設計演習 2		ストップウォッチの改良の課題		C
期末試験				

第16回：フォローアップ（期末試験の解答の解説と HDL によるデジタル回路設計の総まとめ）	—
--	---

評価（ルーブリック）

達成度 評価項目	理想的な到達 レベルの目安 (優)	標準的な到達 レベルの目安 (良)	未到達 レベルの目安 (不可)
①	ハードウェア記述言語 VHDL に関する問題を正確(8割以上)に解くことができる。	ハードウェア記述言語 VHDL に関する問題をほぼ正確に解くことができる。	ハードウェア記述言語 VHDL に関する問題を6割未満しか解くことができない。
②	VHDL を用いた回路設計法や階層設計に関する問題を正確(8割以上)に解くことができる。	VHDL を用いた回路設計法や階層設計に関する問題をほぼ正確に解くことができる。	VHDL を用いた回路設計法や階層設計に関する問題を6割未満しか解くことができない。
③	CPLD/FPGA の仕組みや使い方に関する問題を正確(8割以上)に解くことができる。	CPLD/FPGA の仕組みや使い方に関する問題をほぼ正確に解くことができる。	CPLD/FPGA の仕組みや使い方に関する問題を6割未満しか解くことができない。
④	加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題を正確(8割以上)に解くことができる。	加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題をほぼ正確に解くことができる。	加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題を6割未満しか解くことができない。
⑤	フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題を正確(8割以上)に解くことができる。	フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題をほぼ正確に解くことができる。	フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題を6割未満しか解くことができない。
⑥	Altera 社の Quartus II Web Edition を利用した HDL による回路設計が十分にできる。	Altera 社の Quartus II Web Edition を利用した HDL による回路設計がある程度できる。	Altera 社の Quartus II Web Edition を利用した HDL による回路設計ができない。